

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-191060

(43)Date of publication of application : 25.08.1986

(51)Int.Cl.

H01L 27/04

(21)Application number : 60-031829

(71)Applicant : SANYO ELECTRIC CO LTD
TOKYO SANYO ELECTRIC CO LTD

(22)Date of filing : 20.02.1985

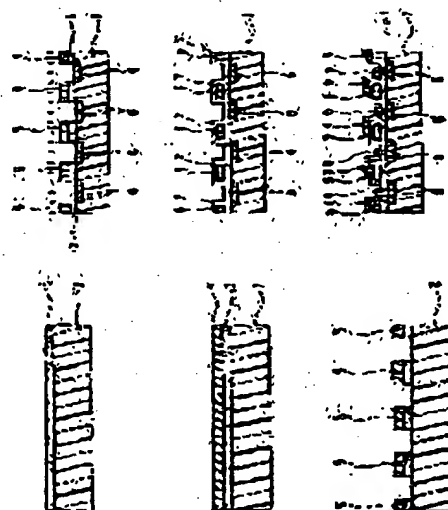
(72)Inventor : NOZAKI TSUTOMU
YOSHII MASURAO
IZUKA KOJI

(54) FORMATION OF RESISTOR

(57)Abstract:

PURPOSE: To decrease the number of processes to a large extent, by simultaneously implanting ions in a first resistor group and a second resistor group, omitting the separate ion implantations, and finishing an annealing process by one time.

CONSTITUTION: An insulating film 3 is formed on a semiconductor substrate 2. Then a polysilicon film 4, which is to become a first resistor group 5, is formed on the insulating film 3. Thereafter, the polysilicon film 4 and the insulating film 3 are patterned by a photoetching method. Therefore the polysilicon becomes a selective ion implantation mask. A semiconductor substrate 2 is exposed. The first resistor group 5 is isolated by the insulating film 3 and ions are implanted in the gaps in the first resistor group 5. Thus a second resistor group 6 is formed. The semiconductor substrate 2, in which ions are implanted, undergoes thermal oxidation, and a silicon oxide film 7 is formed on the surface of the semiconductor substrate 2. Therefore the silicon oxide films 3 and 7 are formed as a unitary body on the surface of the semiconductor substrate 2. Finally, electrodes 9 are connected to parts, which are to become contact holes 8 of the first resistor group 5 and the second resistor group 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

④ 特許出願公開

⑫ 公開特許公報 (A)

昭61-191060

⑤ Int. Cl.⁴
H 01 L 27/04

識別記号 斤内整理番号
R-7514-5F

公開 昭和61年(1986)8月25日

審査請求 未請求 発明の数 1 (全4頁)

⑤発明の名称 抗体形成方法

特 願 昭60-31829

出 願 昭60(1985)2月20日

⑦発	明者	野崎勉	群馬県邑楽郡大泉町大字坂田180番地 会社内	東京三洋電機株式
⑦発	明者	吉井益良男	群馬県邑楽郡大泉町大字坂田180番地 会社内	東京三洋電機株式
⑦発	明者	飯塚浩司	群馬県邑楽郡大泉町大字坂田180番地 会社内	東京三洋電機株式
⑦出	願人	三洋電機株式会社	守口市京阪本通2丁目18番地	
⑦出	願人	東京三洋電機株式会社	群馬県邑楽郡大泉町大字坂田180番地	
⑦代	理人	弁理士 佐野 静夫		

男 女

1. 発明の名称	抗体形成方法
----------	--------

2 特許請求の範囲

(1) 半導体基板に抵抗体を密着して形成する抵抗体形成方法に於て、半導体基板上に絶縁膜を形成する工程と、該絶縁膜上にポリシリコン膜を形成する工程と、前記半導体基板より成る第2抵抗体群を形成するために第1抵抗体群となるポリシリコン膜が選択イオン注入マスクとなるように蝕刻する工程と、前記ポリシリコン膜と前記半導体基板に同時にイオン注入する工程と、該半導体基板を熱酸化する工程とより成ることを特徴とした抵抗体形成方法。

3. 発明の肝要な説明

14) 産業上の利用分野

本発明は半導体集積回路に用いられる抵抗体の形成方法に関する。

(四) 従来の技術

一般に集積回路に用いられる受抗体は特開昭 5
9-191368号公報に示す如くシリコン基板

図の上に無酸化等により形成された厚い酸化膜の
上に積層されたポリシリコン抵抗体膜を写真蝕刻
技術等を用いてパターン化し、その後熱酸化等で
酸化膜を形成する。続いてポリシリコン抵抗体
間の予め薄くした酸化膜図を通して拡散抵抗体図
を不純物拡散またはイオン注入により形成する。
然る後熱酸化処理してポリシリコン抵抗体のコン
タクト図および拡散抵抗体のコンタクト孔図を開
孔し、電極図により前記ポリシリコン抵抗体図と
前記拡散抵抗体図を相互接続して形成していた。

(4) 発明が解決しようとする問題点

上述の如き形成方法で作製された抵抗体に於て、ポリシリコン抵抗体膜中へイオン注入をする場合は前記ポリシリコン抵抗体膜上の厚い酸化膜を薄くするかまたは除去する工程とポリシリコン抵抗体膜へイオン注入する工程とアニーリングする工程とを必要とする。また拡散抵抗体膜中へイオン注入する際は薄い酸化膜を通して拡散抵抗体膜中にイオン注入をするため再度拡散抵抗体上の酸化膜を厚くする工程が必要となる。

従ってイオン注入の工程、熱処理の工程、蝕刻の工程が多いため抵抗体のバラツキが増加し歩留りが低下する欠点を有していた。

㊦ 問題点を解決するための手段

本発明は半導体基板(2)上に絶縁膜(3)を形成する工程と、該絶縁膜(3)上にポリシリコン膜(4)を形成する工程と、前記半導体基板(2)より成る第2抵抗体群(6)…(6)を形成するために第1抵抗体群(5)…(5)となるポリシリコン膜(5)が選択イオン注入マスクとなるよう蝕刻する工程と、前記ポリシリコン膜(5)と前記半導体基板(2)に同時にイオン注入する工程と、該半導体基板を熱酸化する工程とで解決するものである。

㊦ 作用

本発明は上述の如く半導体基板(2)上に絶縁膜(3)を形成する工程と、該絶縁膜(3)上にポリシリコン膜(4)を形成する工程と、前記半導体基板(2)より成る第2抵抗体群(6)…(6)を形成するために第1抵抗体群(5)…(5)となるポリシリコン膜(5)が選択イオン注入マスクとなるよう蝕刻する工程と、前記ポリ

刻により半導体基板(2)が露出することになる。

続いて第1図㉑に示す如く前記絶縁膜(3)により前記第1抵抗体群(5)…(5)と分離しかつ前記第1抵抗体群(5)…(5)の間(前記露出した半導体基板(2))にイオン注入することで第2抵抗体群(6)…(6)が形成されることになる。ここでは前記第1抵抗体群(5)…(5)と前記第2抵抗体群(6)…(6)にイオン注入を同時に行い、所定の打ち込みエネルギー、打ち込み量等を適定することで所定の抵抗値が形成できる。

更に第1図㉒に示す如くイオン注入した半導体基板(2)を熱酸化処理し前記半導体基板(2)表面に酸化シリコン膜(7)を形成する。従って半導体基板(2)の表面に酸化シリコン(3)(7)が一体化されて形成される。

最後に第1図㉓に示す如く第1抵抗体群(5)…(5)および第2抵抗体群(6)…(6)のコンタクト孔(8)となるべき所定箇所写真蝕刻法等で開孔し電極(9)を相互接続する。ただしここでの電極の接続法は一実施例であり他の方法でも良い。

シリコン膜(5)と前記半導体基板(2)に同時にイオン注入する工程と、該半導体基板を熱酸化する工程により、イオン注入を第1抵抗体群(5)…(5)と第2抵抗体群(6)…(6)に別々にする必要がなくなり、その後のアニーリング工程も1回ですむことになる。その結果工程数が減少し抵抗体の抵抗値のバラツキが減少する。

㊦ 実施例

以下に本発明に関する抵抗体形成方法の一実施例を第1図㉑～㉓を参照しながら説明する。

第1図㉑に示す如く一導電型の半導体基板(2)を用意し、前記半導体基板(2)上に熱酸化等で酸化シリコン等の絶縁膜(3)を形成する。

次に第1図㉑に示す如く前記絶縁膜(3)上にCVD法等で第1抵抗体群(5)…(5)となるポリシリコン膜(4)を形成する。

次に第1図㉑に示す如く前記CVD法等で形成したポリシリコン膜(4)と前記絶縁膜(3)とを写真蝕刻法でパターン化する。従って前記ポリシリコンが選択イオン注入マスクとなりまた前記の写真蝕

上述の説明からも明らかな如く本発明の特徴とする所は第1図㉑と第1図㉒の工程にある。前記半導体基板(2)より成る第2抵抗体群(6)…(6)を形成するために第1抵抗体群(5)…(5)となるポリシリコン膜(5)が選択イオン注入マスクとなるように蝕刻し、前記ポリシリコン膜(5)と前記半導体基板(2)に同時にイオン注入することでイオン注入を第1抵抗体群(5)…(5)と第2抵抗体群(6)…(6)に別々にする必要がなくなる。更にアニーリング工程も1回ですむ。また選択イオン注入マスクがポリシリコン膜(5)であるため別途マスク形成が不要となる。また半導体基板(2)表面の酸化工程も1回ですむ。

㊦ 発明の効果

本発明は以上の説明からも明らかな如く第1抵抗体群(5)…(5)と第2抵抗体群(6)…(6)に同時にイオン注入することで別々にイオン注入する必要がなくなり、更にアニーリング工程も1回ですむ。また選択イオン注入マスクもポリシリコン膜で代用するため別途マスク形成が不要となる。また半導体基板(2)表面の酸化工程も第1図㉒の工程だけで

すむ。従って大幅に工程数を減らすことが可能となるため抵抗値のバラツキが大幅に減少し歩留りを上昇させることが可能となる。

4. 図面の簡単な説明

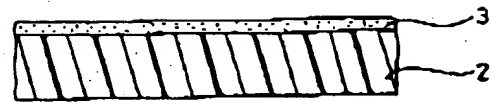
第1図(H)~(V)は本発明の抵抗体形成法を示す断面図であり、第2図(H)~(V)は従来の抵抗体形成法を示す断面図である。

主な図番の説明

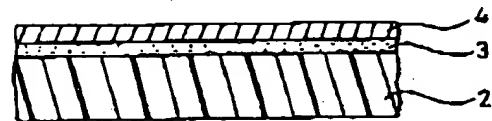
(1)は抵抗体、(2)は半導体基板、(3)は絶縁膜、(4)はポリシリコン膜、(5)は第1抵抗体、(6)は第2抵抗体、(7)は酸化シリコン膜、(8)はコンタクト孔、(9)は電極である。

出願人 三洋電機株式会社 外1名
代理人 弁理士 佐野 静夫

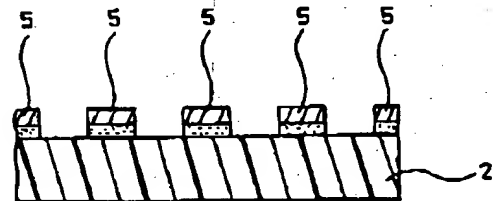
第1図 (A)



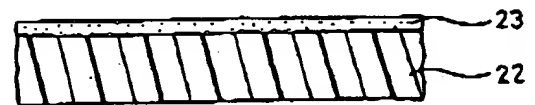
第1図 (B)



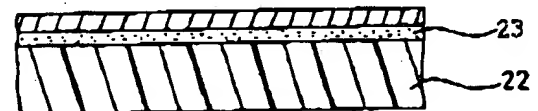
第1図 (C)



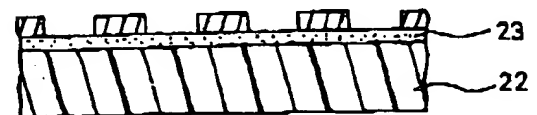
第2図 (A)



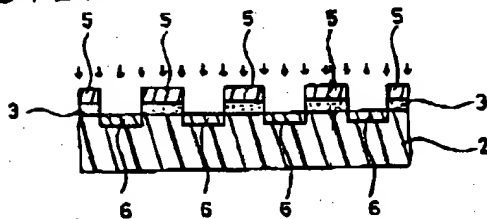
第2図 (B)



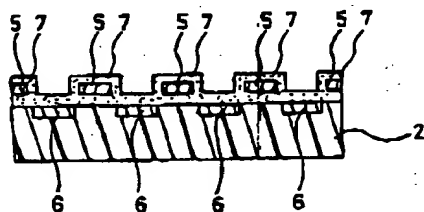
第2図 (C)



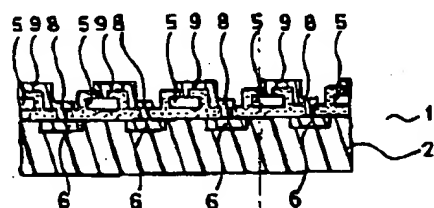
第1図 (D)



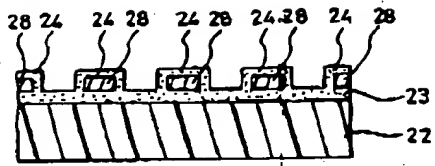
第1図 (E)



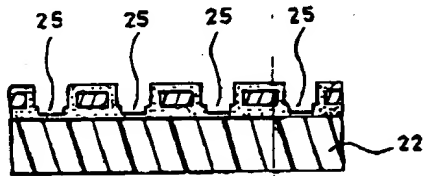
第1図 (F)



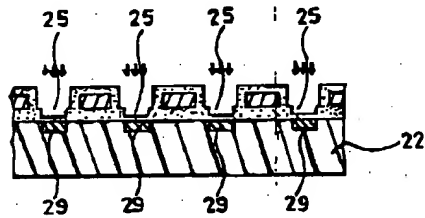
第 2 図 (a)



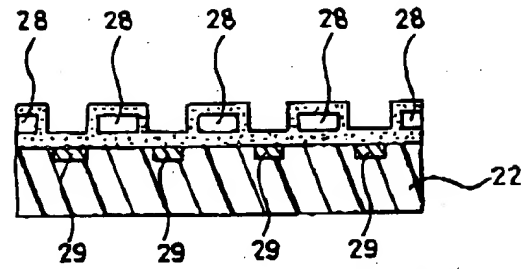
第 2 図 (b)



第 2 図 (c)



第 2 図 (d)



第 2 図 (e)

